

碩士學位 請求論文  
指導教授 洪 吉 東

# SoC 플랫폼 기반 카메라를 위한 리눅스 커널 프레임워크에 대한 연구

成均館大學校 一般大學院

소프트웨어學科

長 吉 山

碩士學位 請求論文  
指導教授 洪 吉 東

# SoC 플랫폼 기반 카메라를 위한 리눅스 커널 프레임워크에 대한 연구

Research on framework for SoC platform based  
camera in Linux kernel

成均館大學校 一般大學院

소프트웨어學科

長 吉 山

碩士學位 請求論文  
指導教授 洪 吉 東

# SoC 플랫폼 기반 카메라를 위한 리눅스 커널 프레임워크에 대한 연구

Research on framework for SoC platform based  
camera in Linux kernel

이 論文을 工學 碩士學位請求論文으로 提出합니다.

2022 年 4 月 日

成均館大學校 一般大學院

소프트웨어學科

長 吉 山

이 論文을 長 吉 山의 工學  
碩士學位 論文으로 認定함

2022 年 6 月 日

審査委員長 김 부 장

---

審査委員 이 차 장

---

審査委員 홍 길 동

---

## 목차

목차 .....	i
표 목차 .....	ii
그림 목차 .....	ii
제 1 장 서론.....	2
제 2 장 Voltage Up-Converter 의 구조 및 동작원리.....	5
2-1 Voltage Up-Converter 의 구조.....	5
2-2 Charge Pump.....	7
2-3 VPP detector.....	10
2-4 Level Shifter.....	13
제 3 장 Power Efficient Voltage Up-Converter.....	15
3-1 Power Efficient Charge Pump.....	15
3-1-1 CMOS type charge pump.....	15
3-1-2 Charge pump 의 optimization.....	18
3-2 Modified VPP detector.....	20
3-3 Improved Level Shifter using bootstrapping.....	27
제 4 장 Simulation Results.....	31
제 5 장 결론.....	38
참고문헌.....	39
Abstract.....	41

## 표목차

표 3.112V 의 VPP 를 만들어내기 위해 필요한 stage 개수에 따른 pumping capacitor 의 크기와 IPP/IDD 효율 .....	23
---	----

## 그림목차

그림 1.1DRAM 의 세대별 VDD, VPP 전압변화 .....	9
그림 2.1Voltage up-converter 의 블록도 .....	12
그림 2.2Dickson's charge pump .....	13
그림 2.3NMOS type Dickson's charge pump 회로 .....	14
그림 2.4 전형적인 VPP detector 회로 .....	16
그림 2.5 전형적인 level shifter 회로 .....	18
그림 3.1CMOS type charge pump 회로 .....	20
그림 3.2VPP 전압에 따른 CMOS type 과 NMOS type 의 charge pump 효율을 나타낸 그래프 .....	22
그림 3.3stage 개수에 따른 IPP 가 1uA, 10uA 일 때 IPP/IDD 효율 .....	24
그림 3.4(a)Diode-connected NMOS chain 을 이용한 VPP divider (b) RCcoupled VPP divider .....	25
그림 3.5(a) VPP 에 따른 트랜지스터의 각 동작영역에서 흐르는 전류(b)Divider 의 트랜지스터 영역에 따른 regulated VPP .....	26

그림 3.6 제안된 VPP detector 회로 .....	26
그림 3.7 제안된 VPP detector 의 동작 검증 simulation .....	27
그림 3.8 (a)기존의 level shifter 회로	
(b) bootstrapping 을 이용한 제안된 level shifter .....	29
그림 3.9 Cross-coupled PMOS 크기에 따른 기존의 level shifter 와 제안된 level shifter 의 power delay product(PDP) 비교 .....	32
그림 3.10 Level shifting 할 때, cross-coupled PMOS 크기에 따른 pull-up, pull-down 의 PDP ratio (rise/fall) 비교 .....	33
그림 4.1 Non-overlapping clock generator .....	34
그림 4.2 Non-overlapping clock generator 의 CLK, CLKB simulation .....	35
그림 4.3 8-stage CMOS type charge pump simulation .....	36
그림 4.4 기존의 level shifter 와 제안된 level shifter 의 delay 특성 및 전력소모 비교 simulation .....	37
그림 4.5 (a)저항 divider 를 가지는 VPP detector 이용한 regulated VPP	
(b)제안된 RC coupled divider 를 가지는 VPP detector 를 이용한 regulated VPP .....	38
그림 4.6 제안된 voltage up-converter 을 적용한 640-bit EEPROM IP 의 칩 레이아웃 .....	40

## 논문 요약

# SoC 플랫폼 기반 카메라를 위한 리눅스 커널 프레임워크에 대한 연구

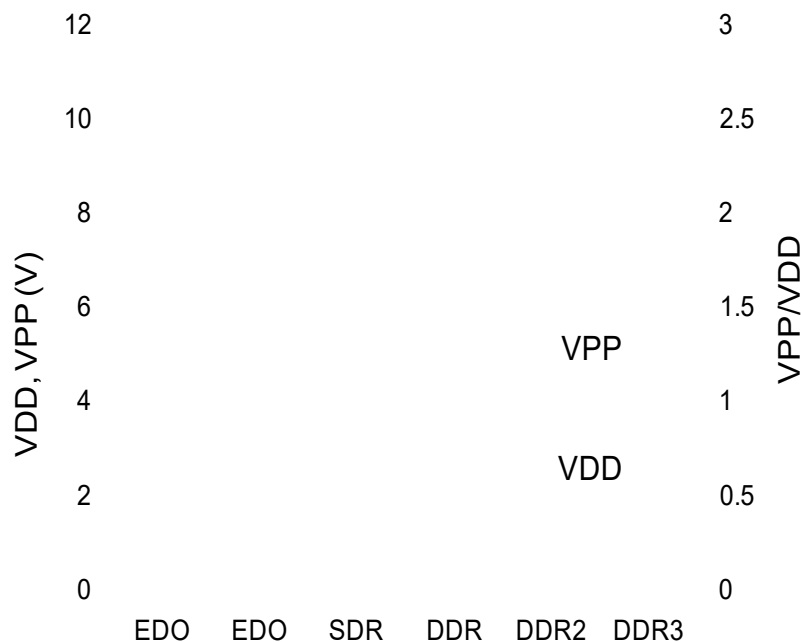
본 논문에서는 극 저전력을 필요로 하는 모바일 기기나 RFID tag등에서 적용될 수 있는 power efficient voltage up-converter를 제안한다. Charge pump, VPP detector, Level shifter로 구성된 voltage up-converter는 그 효율이 매우 중요하기 때문에 본 논문은 효율이 좋지 않은 기존의 회로들이 가지는 문제점과 그에 따른 해결책을 제시한다. VPP 전압이 올라갈수록 효율이 떨어지는 NMOS type Dickson charge pump의 사용을 배제하고 CMOS type의 charge pump를 적용, stage, pumping capacitor, IPP등을 고려하여 최적화 하였다. 또한 기존의 저항 VPP divider를 가지는 VPP detector 대신 RC coupled VPP divider를 가지는 VPP detector를 제안하고, 별도의 전력소모 없이 coupling capacitor 이용하여 히스테리시스를 가지게 하였다. VPP 전압이 올라갈수록 많은 양의 short circuit current를 발생하는 level shifter는 bootstrapped PMOS를 이용하여 level shifter의 전력소모 뿐만 아니라 delay 특성을 개선시켜, VPP 12V에서 제안된 level shifter는 기존의 level shifter보다 PDP 특성이 3.7배 개선된 것으로 나타났다. 본 논문에서 제안하는 power efficient voltage up-converter는 0.18um CMOS 공정에서 설계되었으며, RFID tag에 쓰이는 EEPROM IP에 적용되었다.

**주제어 :** voltage up-converter , charge pump , VPP detector ,level shifter ,  
low power



## 제 1 장 서 론

최근 모바일 기기의 수요가 폭발적으로 늘어나고 있는 가운데 모바일 기기의 크기와 전력소모가 계속해서 줄어들고 있다. 기기들의 크기는 트랜지스터의 채널 길이에 의해서 급격하게 줄어들었지만 전력을 공급하는 배터리의 크기는 그에 따라가지 못하고 있다. 따라서 한번 충전으로 모바일기기의 사용시간을 늘이기 위해 배터리 기술과 함께 전력소모를 최소화 하는 칩의 회로설계 기술이 중요할 수 있다. 칩의 전력소모를 줄이는 가장 효과적인 방법은 공급전압을 낮추는 것으로 실제 지금까지 그렇게 해서 전력소모를 줄여왔다[1].



그러나 공정 기술의 발달과 함께 전원 전압이 낮추어 왔지만 메모리와 같은 몇몇 블록의 내부전압은 전원 전압만큼 낮아지지 못하고 여전히 높은 전압을 필요로 한다[2].

그림 1.1 은 DRAM 에서의 세대별 전압 변화를 보여준다. 그림에서와 같이 DRAM 의 전원전압(VDD)는 급격하게 감소해왔지만 내부전압(VPP)은 그에 미치지

못한다. 현재 가장 최신의 메모리라 할 수 있는 DDR3 VPP/VDD의 비율은 2.5 이상이 되었다. EEPROM과 같은 플래시 메모리와 같은 경우는 1.8V의 VDD를 가지고 18V 이상의 VPP를 만들어야 하기 때문에 VPP/VDD 비율은 10 이상이 된다. 1.5~1.8V의 VDD를 가지고 고전압의 VPP를 만들어내기 위해서 voltage up-converer system을 필요로 한다. Voltage up-converter는 VPP를 만들어내는 generation과 만들어진 VPP를 일정하게 유지시키기 위한 control 블록으로 이루어진다. 모바일 기기나 RFID tag에서와 같이 전력소모에 민감한 회로에서 쓰이는 voltage up-converer는 그 효율이 전체 시스템의 전력효율에 큰 영향을 미친다.

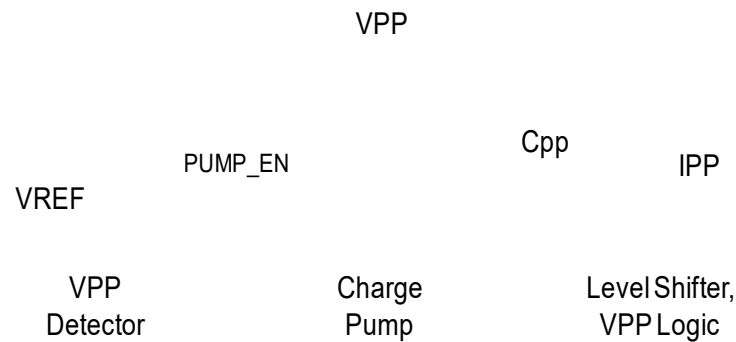
Voltage up-converter는 서브블록으로 charge pump, VPP detector, level shifter 등으로 이루어져 있다. Charge pump에서는 전원 전압으로부터 1.8V의 전압을 공급받아 10V 이상의 VPP 전압을 만들어 낸다. 지금까지는 diode-connected된 NMOS Dickson's charge pump를 널리 사용되어 왔는데 EEPROM에서와 같은 10V 이상의 VPP가 필요한 회로에서는 효율이 급격하게 떨어져 이를 사용하기에는 무리가 있다. 그래서 본 논문에서는 NMOS type의 charge pump를 제외하고 효율이 더 좋은 CMOS type의 Dickson's charge pump를 적용하여 부하 전류, stage 개수, pumping capacitor 등을 고려하여 회로를 최적화 하였다. Voltage up-converer에서 가장 많은 전력소모를 하는 charge pump는 충분한 VPP 전압이 만들어지면 전력소모를 줄이기 위해 꺼주어야 한다. 그러한 역할을 하는 블록이 VPP detector로 VPP 전압이 일정한 전압 이상이 되면 charge pump로 신호를 보내 동작을 멈추게 한다. VPP detector는 기준전압과 divided VPP 전압을 비교해주는 comparator와 고전압의 VPP를 기준전압과 비교 가능한 전압으로 강하시켜주는 divider로 이루어져 있다. VPP divider는 VPP 변화를 감지 하기위해 저항으로 이루어진 divider를 사용하는데 이러한 저항 값이 작다면 VPP 누설전류가 커서 전력소모를 크게 만들고 VPP 누설전류를 줄이기 위해 저항 값을

크게 하면 VPP 전압 변화를 따라가지 못해 overshoot 가 큰 VPP 전압을 만들어 낼 수 있다. 본 논문에서는 VPP 누설전류를 최소화 시키고 VPP의 overshoot를 조절할 수 있는 VPP detector를 제안하였다. Level shifter 블록은 1.8V의 VDD 신호를 VPP 신호로 변환 시켜주는 역할을 하는데 일반적으로 cross-coupled PMOS와 driver NMOS로 이루어져 있고 VPP 전압이 높은 경우에는 소자의 스트레스를 줄이기 위해 cascode protection MOS가 추가된다. Cross-coupled PMOS와 driver NMOS의 크기 비율에 따라 level shifter의 성능이 결정되는데 PMOS의 크기가 NMOS의 크기보다 크다면 pull-up과 pull-down이 서로 충돌할 때 level shifting이 제대로 이루어지지 않을 수 있기 때문에 cross-coupled PMOS의 크기는 driver NMOS의 크기보다 항상 작아야 한다. Level shifter의 성능은 delay와 전력소모의 곱으로 평가 되는데 이를 P.D.P.(power delay product)라고 한다. Delay와 전력소모는 서로 trade-off 관계에 있기 때문에 회로를 설계할 때 중요하게 고려해야 한다. Cross-coupled PMOS와 cascode protection NMOS 사이에 bootstrapped PMOS를 삽입하여 기존의 level shifter가 가지고 있는 delay와 전력소모 문제를 해결하여 P.D.P. 성능을 최대 3.7배 향상 시켰다. 본 논문은 전력소모에 민감한 모바일 기기나 RFID tag 등에서 활용 가능한 voltage up-converer 제안한다. voltage up-converer의 구조 및 자세한 동작 원리는 본문에서 소개하기로 한다.

## 제 2 장 Voltage Up-Converter 의 구조 및 동작원리

### 2-1 Voltage Up-Converter 의 구조

Voltage up-converter 는 크게 charge pump, VPP detector, level shifter 로 이루어져 있다. 그림 2.1 은 voltage up-converter 의 블록도를 나타낸다.



Voltage up-converter 는 그림 2.1 에서와 같이 세 블록으로 이루어져 있다. Charge pump 를 통해 만들어진 VPP 전압은 큰 캐패시터(Cpp)에 충전이 되어 level shifter 나 VPP logic 으로 공급된다. Charge pump 는 voltage up-converter 에서 가장 많은 전력을 소모하기 때문에 모바일 기기나 RFID tag 등에서와 같이 전력소모가 민감한 회로에서는 charge pump 동작을 항상 켜 놓을 수 없다. 이러한 charge pump 의 on/off 역할을 하는 스위치는 VPP detector 에서 이루어진다. Charge pump 를 통해 만들어진 VPP 전압이 일정 level 에 도달하면 VPP detector 에서 이를 감지, charge pump 로 turn off 신호(PUMP\_ENB)를 보낸다. Level shifter 나 VPP logic 에 의해 VPP 전압이 낮아지면 마찬가지로 VPP detector 에서 이를 감지하여 Charge pump 로 turn on 신호(PUMP\_EN)를 보내

일정 VPP 전압을 유지시킨다. VPP detector는 voltage up-converter의 안정성을 위해 bang-bang 동작을 피하는 히스테리시스를 가져야한다.

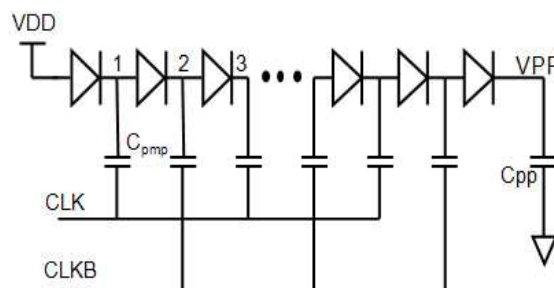
Voltage up-converter의 구조와 간단한 동작원리는 위의 설명과 같고 각 블록의 자세한 설명은 뒷장에서 설명하기로 한다.

## 2-2 Charge pump

Voltage up-converter에서 charge pump는 외부로부터 낮은 전압(VDD)을 회로 내부에서 필요로 하는 높은 전압(VPP)으로 만들어주는 회로이다. 전체 시스템에서 소모하는 전력의 대부분이 charge pump에서 소모하기 때문에 charge pump의 성능이 시스템의 성능을 좌우한다.

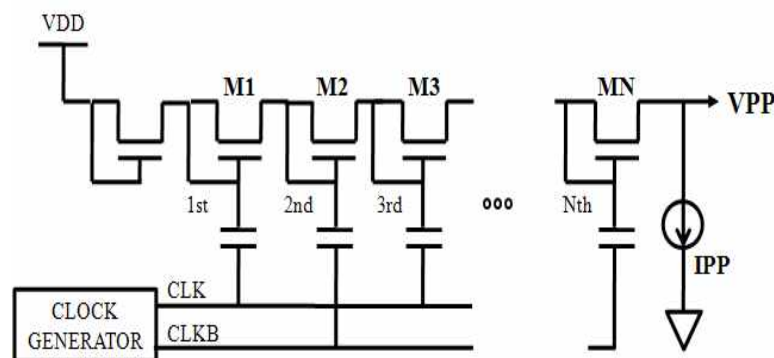
Charge pump의 주목적은 전원으로부터 전하를 공급받아 capacitor에 일정 전압이상 저장하여 필요한 블록으로 전압을 공급하는 것이다. 일반적으로 charge pump는 충전된 전하를 담을 수 있는 capacitor와 전원으로부터 공급되는 전하를 전달하는 트랜지스터, 그리고 각 stage마다 필요한 on/off 신호를 공급하는 clock generator로 구성되어 있다.

그림 2.2는 현재 가장 널리 쓰이고 있는 Dickson's charge pump를 나타낸 것이다[3].



위의 charge pump 는 다이오드와 capacitor( $C_{pmp}$ )가 하나의 stage 를 이루며 CLK 와 CLKB 에 의해 각 stage 에서 충전과 방전이 이루어진다. CLK 가 'high' CLKB 가 'low' 상태가 되면 1 번 노드는 pumping capacitor( $C_{pmp}$ )를 통한 coupling 으로 인해 약  $2V_{DD}$  까지 올라간다. 양단간의 전압 차이에 의해 1 번과 2 번 노드사이에 있는 다이오드는 켜지게 되어 첫 번째 capacitor 에 저장되어 있는 전하가 두 번째 capacitor 로 넘어가면서 2 번 노드의 전압은 그만큼 더 상승하게 된다. 반대로 CLK 가 'low' CLKB 가 'high' 상태가 되면 1 번과 2 번 노드 사이에 있는 다이오드는 꺼지고 2 번과 3 번 노드에 있는 다이오드는 켜지게 되어 두 번째 capacitor 에 저장된 전하는 세 번째 capacitor 로 전달된다. 전원으로부터 공급되는 전하는 각 stage 의 다이오드가 켜지고 꺼지는 방식으로 최종적으로 끝단의  $C_{pp}$  에  $V_{PP}$  전압만큼 쌓이게 된다.

다이오드를 MOSFET으로 모델링 하는 방법중 가장 간단한 것은 NMOS의 드레인 과 게이트를 묶어 다이오드로 동작시키는 것이다. 그림 2.3은 diode-connected NMOS로 이루어진 NMOS type Dickson's charge pump를 나타낸 것이다.



Diode-connected NMOS로 이루어진 charge pump의 경우 charge가 각 stage를 넘어갈 때마다 문턱전압( $V_t$ )만큼의 전압강하가 일어난다. 또한 Diode-connected NMOS의 바디가 모두 VSS로 묶여있기 때문에 body effect도 고려해야 한다. stage가 커지면 커질수록  $V_{BS}$ 가 커지기 때문에  $V_t$ 역시 증가한다.  $V_t$ 가  $V_{DD}$ 만큼 커지는 일정 stage에 도달하게 되면 더 이상  $V_{PP}$  전압은 증가하지 않아 그 효율이 급격하

게 떨어진다. 식 (2.1)은 NMOS type의 Dickson's charge pump에서 최종적으로 얻게 되는 VPP 전압이다[4].

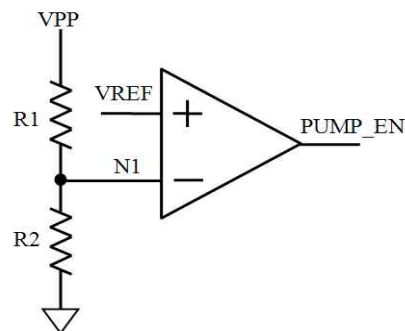
$$VPP = VDD - V_{th} + N \left( \frac{VDD \cdot C_{pmp}}{C_{pmp} + C_p} - V_{th} - \frac{IPP/f_{OSC}}{C_{pmp} + C_p} \right) \quad \text{식(2.1)}$$

Cpmp, Cp, N, fOSC 는 각각 pumping capacitor, 기생 capacitor, stage 개수, pumping 주파수를 나타낸다. 일반적으로 10V 이상의 전압이 필요한 EEPROM application 에는 적합하지 않는 charge pump type 이라고 할 수 있다.

## 2-3 VPP Detector

Voltage up-converting system 에서 VPP detector 는 regulator 의 기능을 갖는다. System 의 대부분의 전력소모는 charge pump 에서 이루어지기 때문에 VPP 전압이 일정 레벨에 도달하면 pump 를 꺼주어야 한다. 반대로 부하에서 VPP 전압을 사용하여 VPP 레벨이 낮아지면 다시 pump 를 켜주어야 하는데 VPP detector 가 이런 charge pump 의 on/off 스위치 역할을 한다.

그림 2.4 는 전형적인 VPP detector 를 나타낸다.



VPP detector 는 기본적으로 비교기(comparator) 역할을 하는 Op-Amp 와 VPP 전압을 낮추는 divider 로 이루어져 있다. 10V 의 이상의 VPP 전압을 바로 Op-Amp 의 입력으로 쓸 수 없기 때문에 적당한 전압으로 낮춰서 기준전압(VREF)과 비교하여 출력을 내보낸다. Charge pump 에 의해 VPP 전압이 올라가면 N1 노드 전압도  $VPP \times R2 / (R1 + R2)$  만큼 상승하게 된다. N1 의 노드전압이 VREF 의 전압보다 높으면 Op-Amp 는 charge pump 로 PUMP\_ENB(disable signal)을 출력으로 내보내어 charge pump 를 꺼준다. 반대로 N1 의 전압이 VREF 보다 낮다면 PUMP\_EN(enable signal)을 charge pump 로 보낸다.

VPP divider 를 저항을 이용하여 설계한다면 설계는 간단하지만 그에 따른 문제점이 있어 실제 저항을 이용하여 설계하지는 않는다. 크게 두개의 문제로 볼 수 있는데 첫 번째 문제점은 저항을 이용한다면 N1 노드 전압을 만들어내기 위해 VPP 에서 VSS 로 누설전류 IPP 가 존재한다는 점이다. IPP 가 커지면 charge pump 에서 일정 VPP 전압을 유지시키기 위해 보다 많은 전력을 소모시켜 효율을 떨어뜨리는 결과를 가져온다. 누설전류를 줄이기 위해 저항을 크게 한다면 레이아웃 상에서 면적이 커져 그 효율성이 떨어진다. 저항을 이용한 divider 의 또 하나의 문제점은 저항은 일반적인 공정에서 그 오차가 크다는 점이다. 설계상에서 일정한 N1 노드전압을 맞추었다고 하더라도 공정상의 오차에 의해 그 값이 다르게 나올 수 있어 VPP detector 가 정상적인 regulator 기능을 하지 못할 수 있다. 또한 저항은 온도의 영향을 많이 받기 때문에 실제 설계에서는 사용하지 않는다.

위에서 언급한 문제점의 해결책으로 저항대신 capacitor 를 사용하기도 한다. Capacitor divider 를 사용할 경우 누설전류를 없앨 수 있고 공정상의 오차에 영향을 적게 받는다. 그러나 capacitor 를 이용할 경우에는 N1 노드가 floating 이 노드가 되기 때문에 공정상에서 charge 가 들어갈 수 있어 일정한 전압을 보장할 수 없고 외부 노이즈 영향을 많이 받기 때문에 적절한 해결책이 될 수 없다.

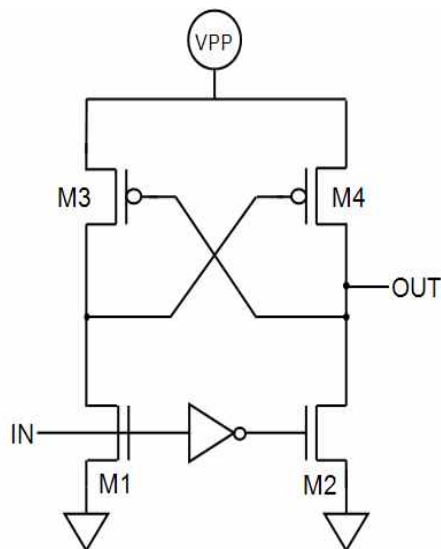


VPP detector 는 bang-bang 동작을 피하기 위해 일정한 히스테리시스를 가지고 설계 되어야 하는데 이를 위해 일반적으로 Op-Amp 의 출력에 슈미트트리거를 붙이기도 한다.

## 2-4 Level Shifter

반도체 공정기술의 발전으로 트랜지스터의 크기가 줄어들고 집적화가 이루어지고 있는 가운데 동작전압 역시 줄어들고 있다. 전력소모를 줄이기 위해서 동작전압이 낮아지는 추세는 당연하나 메모리와 같은 일부 블록에서는 여전히 높은 전압을 필요로 한다. Level shifter 는 전원 전압으로부터 VDD 신호를 받아 VPP 신호로 변환시켜 필요한 블록으로 전달하는 역할을 한다.

전형적인 Level shifter는 그림 2.5에서와 보는 것과 같이 cross-coupled PMOS와 driver NMOS로 이루어져 있다.



Level shifter의 동작 원리는 다음과 같다. IN이 'high'가 되면 M1 트랜지스터가 켜지면서 M4 트랜지스터의 게이트는 VSS로 discharge되어 켜지게 된다. M2는 꺼져 있으므로 OUT 노드는 VPP로 charge된다. 반대로 IN이 'low' 상태가 되면 M2는 켜지게 되어 OUT 노드는 VSS로 discharge된다. 이와 같은 동작으로 level shifter는 입력으로 VDD 신호를 받아 출력으로 VPP 신호를 내보내게 된다.

Level shifter를 설계할 때는 pull up 역할을 하는 cross-coupled PMOS와 pull down 역할을 하는 driver NMOS의 크기를 주의 깊게 살펴서 설계해야 한다. PMOS의 크기에 따라 level shifter의 성능이 결정되는데, PMOS의 크기는 반드시 NMOS의 크기보다 작아야 한다. Pull up 속도를 빠르게 하기 위해 PMOS의 크기를 크게 하면 스위칭 동작을 할 때, pull down하는 NMOS와 서로 충돌하기 때문에 VPP에서 VSS로 흐르는 short circuit current가 발생하게 된다. 이러한 short circuit current는 charge pump 동작에 큰 영향을 미쳐 system의 효율을 급격하게 떨어뜨리게 하는데 VPP/VDD 비율이 크면 클수록 short circuit current의 양이 늘어난다. 또한 PMOS의 크기가 NMOS의 크기보다 크다면 pull down하는 속도에도 영향을 주고 심지어 level shifting 동작을 하지 못할 수 있다. 이처럼 level shifter의 성능은 pull up, pull down의 속도와 전력 소모로 나타낼 수 있는데 이 두 가지의 성능은 서로 trade off 관계에 있어 어떤 응용분야에 쓰이는가에 따라 적절하게 고려하여 설계해야 한다.

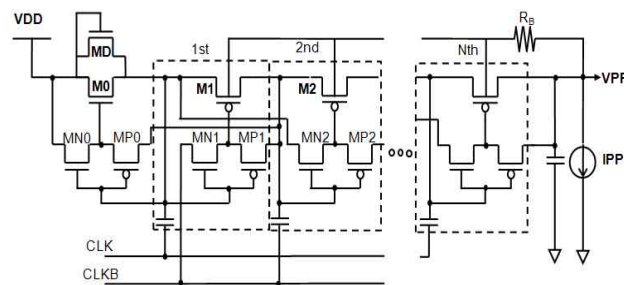
## 제 3 장 Power Efficient Voltage Up-Converter

### 3-1 Power Efficient Charge Pump

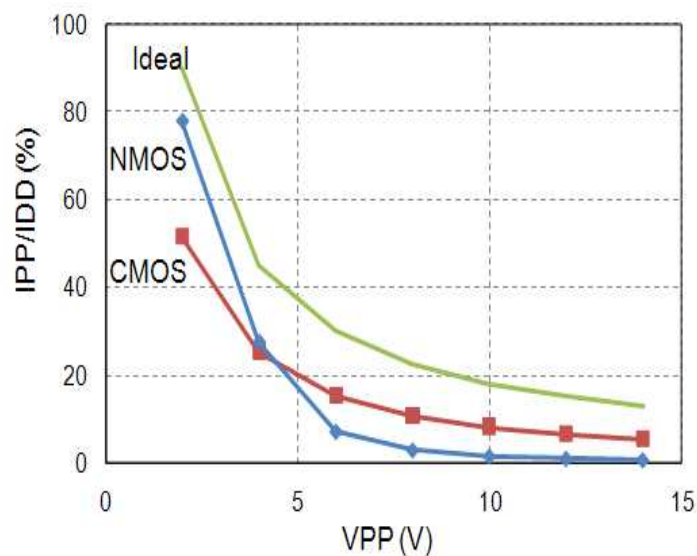
#### 3-1-1 CMOS type charge pump

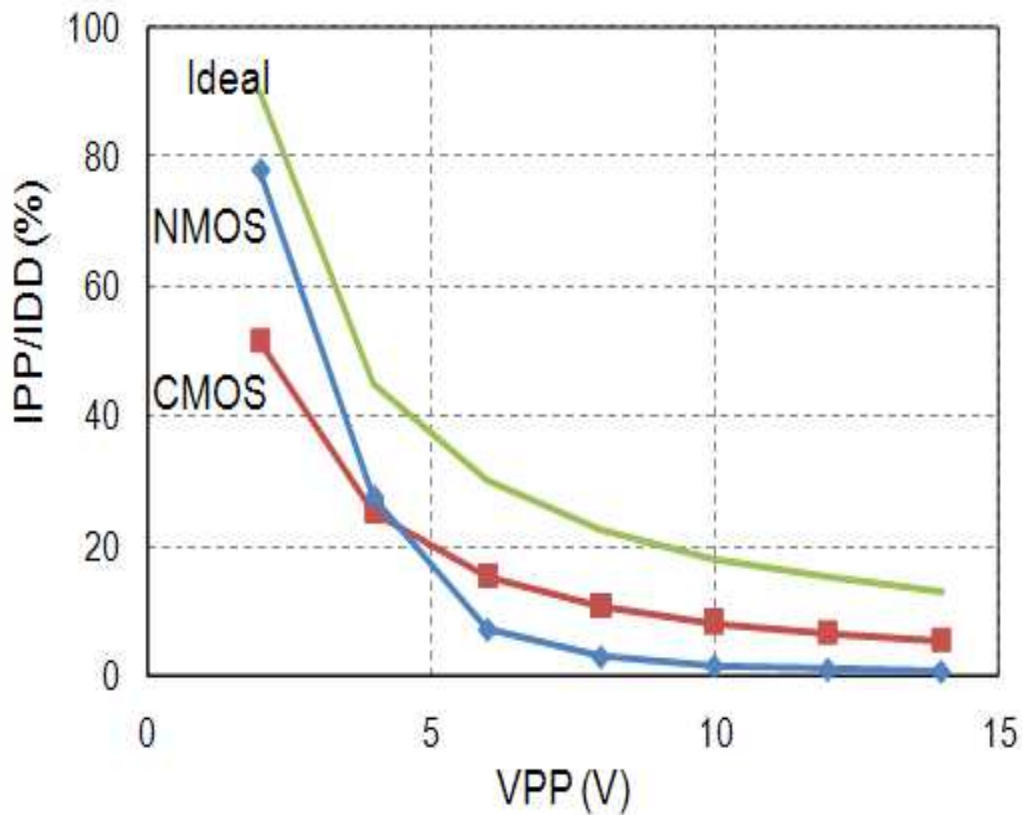
모바일 기기나 RFID tag 등에 포함되는 회로들은 전력소모에 매우 민감하다. Voltage up-converter 에서 가장 많은 전력소모를 하는 블록이 charge pump 이므로 전력소모가 민감한 부분에 쓰이는 charge pump 를 설계할 때, 그 효율을 중요하게 생각해야 한다. 지금까지 널리 쓰이는 NMOS type 의 Dickson's charge pump 는 앞장에서 언급 하였듯이 각 stage 마다 문턱전압( $V_t$ )의 강하 때문에 효율이 매우 좋지 않다. 그렇기 때문에 이를 그대로 적용하기엔 무리가 있다.

본 논문에서는 효율이 떨어지는 NMOS type 의 Dickson's charge pump 의 적용을 배제하고 Mohammad 가 제안한 CMOS type 의 charge pump 를 적용하여 설계하였다[4]. 그림 3.1 은 Mohammad 가 제안한 CMOS type 의 charge pump 를 보여준다.



위의 CMOS type charge pump는 NMOS Dickson charge가 안고 있는 body 효과에 의한 드레인-소스의 전압강하를 없애기 위하여 diode-connected NMOS 대신 PMOS 스위치를 이용, 각 stage에서 일어나는 전압강하를 해결할 수 있다[6]. 각 스위치의 on/off 동작을 위하여 stage마다 dynamic 인버터를 이용하였다. 이 인버터들은 일반적인 인버터와는 달리 클럭 phase에 따라 각 stage마다 스윙하는 전압차가 변하기 때문에 dynamic 인버터라 불린다. 기본적인 동작은 CLK가 'low', CLKB가 'high' 상태가 되면 M0, M2는 켜있는 상태가 되고, M1은 꺼있는 상태가 된다. 그래서 첫 번째 stage의 capacitor는 VDD에 의해 charge되고 두 번째 stage의 capacitor에 저장되어 있는 charge는 세 번째 stage의 capacitor로 charge된다. 클럭 phase가 반대가 되면 M0, M2가 꺼지고 M1이 켜져서 다시 두 번째 stage의 capacitor는 첫 번째 stage로부터 오는 charge로 충전된다. 이러한 원리로 동작하는 CMOS type charge pump는 stage마다 전압 강하 없이 charge를 전달할 수 있어 그 효율이 Dickson charge pump보다 높다.





Charge pump 의 효율은 IPP/IDD 로 정의하는데 아래 그림 3.2 는 이상적인 charge pump 와 비교해서 NMOS type 과 CMOS type 의 charge pump 효율을 simulation 하여 비교한 것이다[7].

Simulation 조건은 VDD 1.8V, IPP 0.1uA, pumping capacitor 1pF 을 사용하여 각 케이스에서 최적화하여 VPP 에 따른 효율을 계산하였다. CMOS type charge pump 의 경우 dynamic 인버터로 인한 clock generator 에서의 부담으로 낮은 VPP 에서는 효율이 NMOS type 보다 낮게 나왔는데 VPP/VDD 비율이 2.5 를 넘어서면 그 효율이 크게 좋은 것으로 나타났다. 따라서 EEPROM 과 같은

고전압을 필요로 하는 회로에서는 CMOS type 의 charge pump 가 적합하다고 할 수 있다.

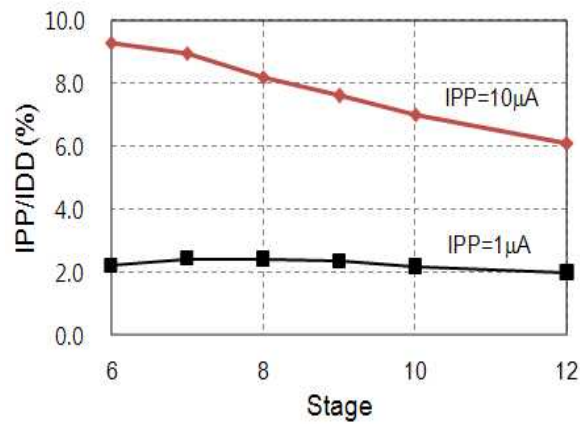
### 3-1-2 Charge pump 의 optimization

Charge pump 의 type 이 결정이 되면 이용하고자 하는 VPP 레벨에서의 charge pump 회로의 최적화가 필요하다. 본 논문은 범용 CMOS 공정에서 이용할 수 있는 평면형 floating gate type EEPROM cell 을 목표로 VPP 전압을 12V 로 설정하였다.[8] Charge pump 는 stage 개수나 pumping capacitor 크기에 의해 그 효율이 달라지기 때문에 설계할 때, 이러한 부분을 잘 고려해야 한다[9].

표 1 은 IPP 가 1uA, 10uA 일 경우, charge pump 가 12V 의 VPP 를 얻기 위해 필요한 pumping capacitor 크기와 IPP/IDD 의 효율을 나타낸 것이고, 그림 3.3 은 IPP 가 1uA, 10uA 일 때의 효율을 그래프로 나타낸 것이다.

표 1 에서 보는바와 같이 12V 의 VPP 전압을 얻기 위해서는 최소 6stage 가 필요하다. IPP 가 1uA 일 경우, 7stage 에서 가장 좋은 효율을 보였고 IPP 가 10uA 일 경우, 6stage 에서 효율이 가장 좋은 것으로 나타났다. 그러나 IPP 가 10uA 일 때, 6stage 에서 필요한 pumping capacitor 의 크기는 50pF 으로 실제 칩에 설계할 경우 그 크기가 비현실적으로 너무 커 본 논문에서는 VPP margin 등을 고려하여 8stage 로 설계하였다.

# of stages	IPP=1 $\mu$ A			IPP=10 $\mu$ A		
	C <sub>mp</sub> (pF)	ID <sub>D</sub> ( $\mu$ A)	IPP/ID <sub>D</sub>	C <sub>mp</sub> (pF)	ID <sub>D</sub> ( $\mu$ A)	IPP/ID <sub>D</sub>
6	5.0	45.60	2.19%	50	109.95	9.10%
7	1.2	41.16	2.43%	4.0	110.51	9.05%
8	0.8	41.34	2.42%	3.5	118.02	8.47%
9	0.7	42.75	2.40%	3.4	131.60	7.60%
10	0.7	45.99	2.18%	3.4	145.17	6.89%
12	0.7	50.32	1.99%	3.4	169.03	5.92%



### 3-2 Modified VPP Detector

VPP 파워는 시간에 따라 요구하는 그 양이 다르다. Charge pump 는 IPP 가 최대일 때를 가정해서 설계하기 때문에 IPP 의 요구량에 따라 VPP 의 변화 폭이 달라질 수 있다. 따라서 일정한 VPP 전압을 공급해 주기 위한 regulator 로서 VPP detector 가 필요하다. 앞 장에서 설명하였듯이 일반적으로 사용하고 있는 저항을 이용한 VPP detector 는 standby IPP 누설전류와 divider 의 공정상과 온도의 영향을 받는 저항값의 오차, 두 가지의 단점으로 인해 RFID tag 에서와 같은 응용분야에서

적용하기 어렵다. 그래서 본 논문은 그러한 단점을 개선한 VPP detector를 소개한다.

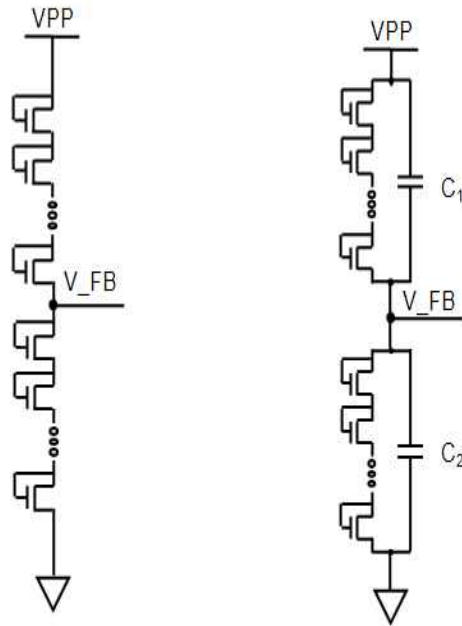
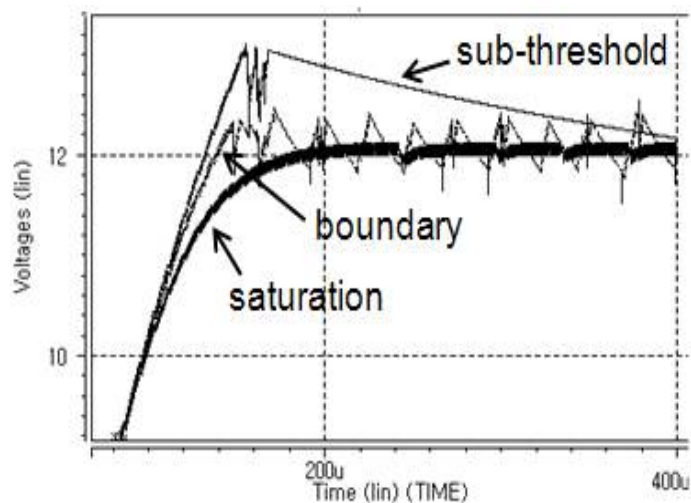
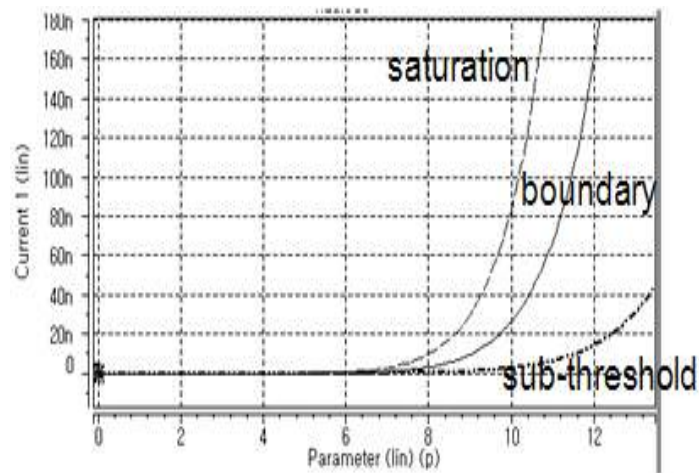


그림 3.4(a)는 diode-connected NMOS chain을 이용한 VPP divider를 (b)는 diode-connected NMOS chain과 capacitor를 이용한 RC coupled VPP divider를 보여준다.

저항을 이용한 VPP divider가 안고 있는 문제를 해결하기 위하여 저항을 diode-connected NMOS chain으로 모델링 하여 공정상의 오차와 레이아웃에서의 크기문제를 해결할 수 있다. 그림 3.4(a)에서와 같이 capacitor없이 단순 저항성분만 가지고 설계할 경우 VPP detector의 정상적인 동작이 힘들 수 있다. Divider에서의 VPP 누설전류를 줄이기 위해서 다이오드 개수를 늘려 트랜지스터들이 sub-threshold 영역에서 동작시키면 반응 속도가 느려 VPP 변화에 적절히 대응할 수 없다. 반대로 반응 속도를 빠르게 하기위해 트랜지스터를 saturation 영역에서





동작시킨다면 그 저항 값이 작아 VPP 누설전류가 커서 charge pump 효율을 나쁘게 한다. 그림 3.5(a)는 divider의 트랜지스터의 동작 영역에서의 흐르는 전류를 나타내고 (b)트랜지스터의 동작 영역에 따라 VPP detector에서의 regulate 되는 VPP 전압을 보여준다.

VPP 전압은 12V에서 움직이므로 sub-threshold 영역에서는 누설전류가 약 20nA 이하이다. 누설전류가 작아 charge pump에 영향을 주지 못하지만 VPP 전압 변화에 대한 반응 속도가 느려 그림 (b)에서 보는 바와 같이 VPP 전압을 따라가지

못해 overshoot 가 크게 일어난다. 이러한 overshoot 는 EEPROM cell 에 안정적인 VPP 전압을 공급할 수 없다. Divider 의 트랜지스터들이 saturation 영역에서 있다면 그림에서 보는바와 같이 VPP 전압의 regulation 특성은 매우 좋은 것으로 보인다. 그러나 VPP 누설전류가 200nA 이상으로 charge pump 의 효율과 전력소모 측면에서 불리한 점을 가지고 있다.

이러한 문제들을 개선하여 그림 3.4(b)의 divider를 적용하여 약간의 히스테리시스를 가지는 개선된 VPP detector를 그림 3.6에서 보여준다.

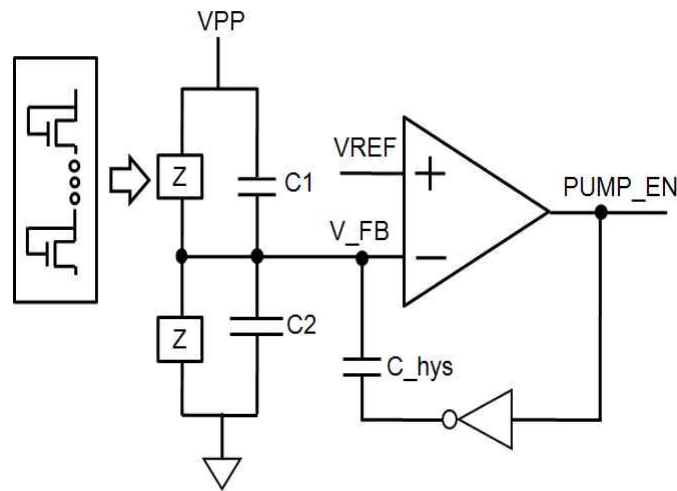
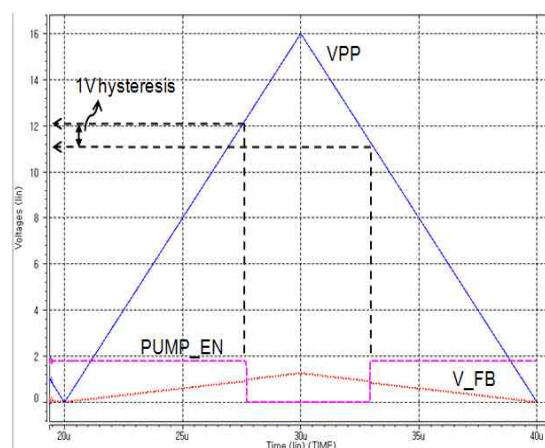


그림 3.6 의 VPP detector 에서 divider 의 트랜지스터들은 모두 sub-threshold 영역에서 동작한다. 저항 역할을 하는 트랜지스터들은 capacitor 로만 이루어진 divider 의 floating 노드를 잡아주는 역할을 하고 실제 VPP 전압변화의 감지는 capacitor C1, C2 의 크기 비율에 의해 이루어진다. Charge pump 로부터 만들어진 VPP 전압이 12V 가 되면 V\_FB 노드전압은 VREF 와 같게 설계되었고 VPP 전압이 12V 이상 올라가면 V\_FB 노드전압은 VREF 보다 높게 되어 비교기는 PUMP\_ENB 신호를 charge pump 로 보내 그 동작을 멈추게 한다. 다시 VPP

전압이 12V 이하로 내려간다면 비교기는 다시 PUMP\_EN 신호를 보내 charge pump 를 동작시킨다.

VPP detector 는 bang-bang 동작을 피하기 위하여 약간의 히스테리시스를 가져야 안정적인 동작이 가능하다. 일반적으로 히스테리시스를 주기 위하여 비교기 출력에 슈미트트리거라는 소자를 붙여 히스테리시스를 가지게 한다. 그러나 슈미트트리거는 히스테리시스를 가지기 위하여 계속적으로 static 전류를 소모하게 때문에 전력소모가 민감한 회로에서는 적용하기 적절하지 못한다. 그림 3.6 의 제안된 VPP detector 에서는 별도의 전력소모 없이 C\_HYST 라는 coupling capacitor 를 추가함으로써 히스테리시스를 가지게 되었다. 그림 3.7 은 제안된 VPP detector 의 동작을 보여주는 simulation 결과이다. Charge pump로부터 만들어진 VPP 전압이 12V 에 도달하면 VPP detector 에서 이를 감지하여 그림에서 보는바와 같이 PUMP\_EN 은 'low'로 떨어져 charge pump 동작을 멈추게 한다. 이때, V\_FB 노드는 비교기 출력의 피드백을 받아 전압이 약간 상승한다. 다시 VPP 전압이 떨어지면 V\_FB 노드 전압도 같이 떨어지기 시작하는데 피드백 영향을 받아 PUMP\_EN 이 12V 가 아닌 11V VPP 전압에서 'high' 상태가 되어 charge pump 를 동작시킨다. 이는 VPP detector 의 bang-bang 동작을 피하기 위해, V\_FB 노드가

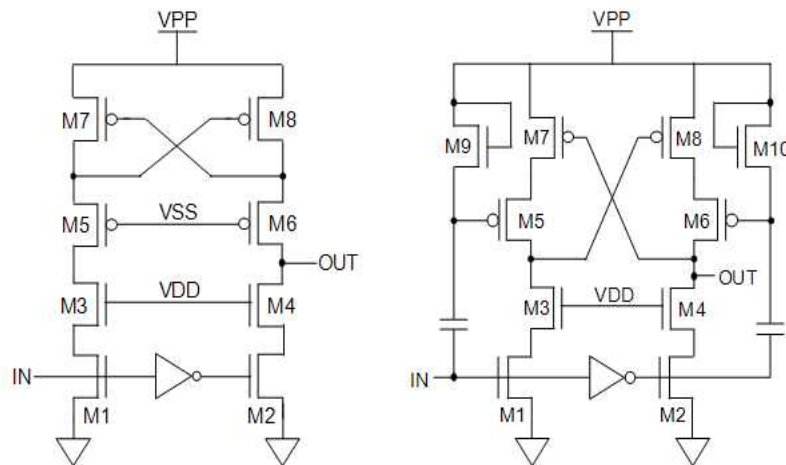


coupling capacitor  $C_{HYST}$ 의 영향을 받아 히스테리시스를 발생시킨 것으로 약 1V의 VPP 히스테리시스를 가진다.

### 3-3 Improved Level Shifter using bootstrapping

Charge pump로부터 만들어진 VPP 파워는 VPP logic과 level shifter에서 소모된다. VPP logic에서 소모하는 전력은 대부분 트랜지스터들이 스위칭 하는 경우 일어나는 dynamic 파워로 전력소모를 줄이기 위해 할 수 있는 방법이 별로 없다. 그에 반해 level shifter는 그 특성상 short circuit 전류가 발생하는데 VPP/VDD 비율이 크면 클수록 늘어나기 때문에 반드시 잡고 가야 하는 문제이다[10]. 그러나 level shifter에서 일어나는 전력소모를 줄이다 보면 delay 특성이 나빠질 수 있기 때문에 두 성능을 잘 비교 판단하여 설계해야 한다. 본 논문은 bootstrapping 기법을 이용하여 전력 소모뿐만 아니라 delay 특성 또한 개선시켜 RFID tag 등에 적용 가능한 level shifter를 제안한다.

그림 3.8(a)는 기존의 level shifter 회로와 (b)본 논문에서 제안한 bootstrapping level shifter를 보여준다.



본 논문에서의 응용분야가 12V 이상의 고전압을 다루기 때문에 일반적인 level shifter 를 그대로 쓰기에는 무리가 있어 cascode protection 트랜지스터(M3, M4, M5, M6)를 추가하여 트랜지스터의 전압 부담을 줄여야 한다. Level shifter 의 스위칭 동작은 기본적으로 NMOS driver 트랜지스터(M1, M2)에 의해 cross-coupled PMOS latch 의 state 가 바뀔 때 일어난다. 앞장에서 설명하였듯이 PMOS latch 의 원활한 동작을 위해서는 NMOS 의 크기보다 반드시 작게 설계되어야 하는데, PMOS 의 크기가 작으면 pull-up 속도에 영향을 준다. Pull-up 속도를 빠르게 하기 위해 PMOS 크기를 크게 하면 short circuit 전류가 늘어나는 것뿐만 아니라 pull-down 속도에 영향을 주어 level shifting 이 제대로 이루어지지 않을 수도 있다. 그림 3.8(b)의 회로는 이러한 문제를 해결하기 위해 제안한 level shifter 회로이다. 기본적인 motive 는 PMOS 에 흐르는 pull-up 전류를 regulating 하여 level shifter 의 power-delay-product(P.D.P.)를 개선하는 것으로 cross-coupled PMOS(M5, M6)의 게이트 전압을 VPP 전압 근처에서 스윙하도록 하였다. Cascode protection PMOS 의 게이트 전압은  $(VPP - V_{th10})$ 에서  $(VPP + VDD - V_{th10})$ 사이를 스윙한다. M10 과 M6 의 문턱전압은 약 2V 와 0.5V 로 body effect 의해 문턱전압 차이가 존재한다. 그렇기 때문에 M6 는 VPP 전압의 영향을 거의 받지 않음으로서 pull-up step 에서, VPP 전압이 변하더라도 PMOS 전류는 고정되어있어서 보다 좋은 성능을 낼 수 있다.

그림 3.9 는 PMOS 크기에 따른 기존의 level shifter 와 제안된 level shifter 의 PDP 성능을 보여주는 그래프이다.

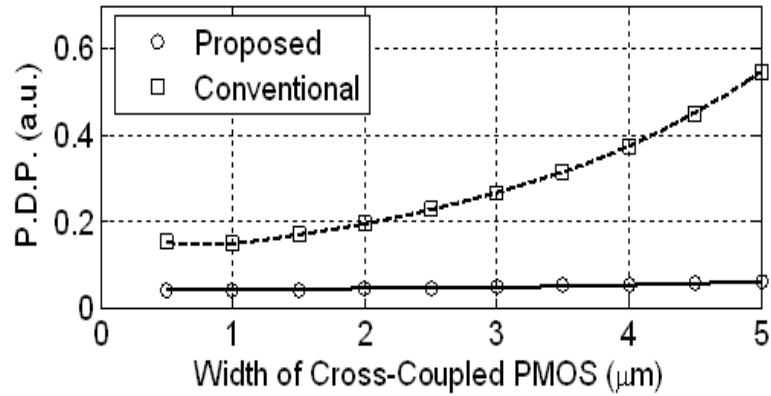
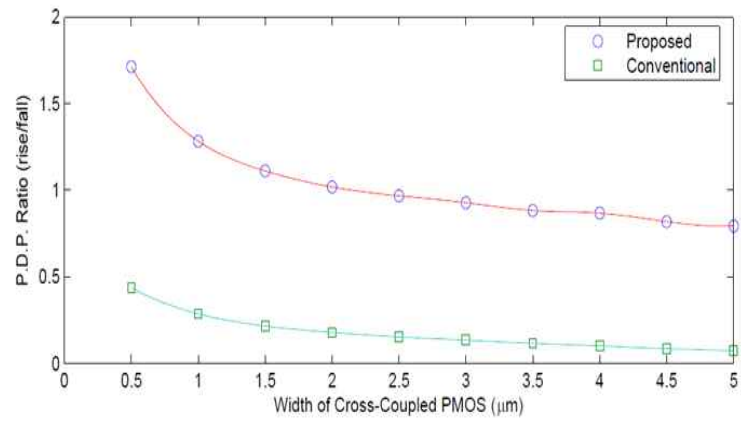


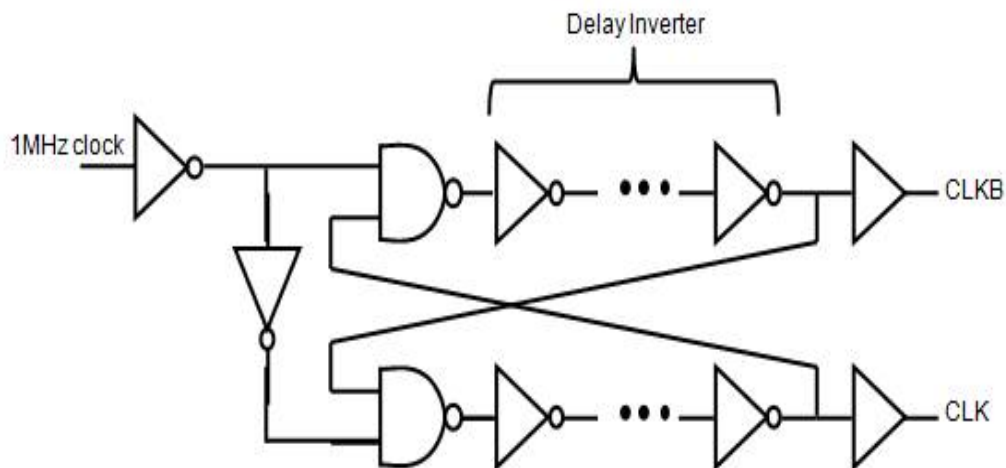
그림 3.9 에서 보는바와 같이 기존의 level shifter 는 PMOS 크기에 따라 그 특성이 크게 변하지만 제안된 level shifter 는 cross-coupled PMOS 의 전류가 regulating 되기 때문에 크기의 영향을 거의 받지 않고 보다 더 좋은 성능을 내는 것으로 나타났다. 또한 level shifter 는 pull-up 할 때와 pull-down 할 때의 delay, 전력소모가 다르게 나타날 수 있기 때문에 level shifter 를 설계할 때 그러한 부분을 고려하여 설계해야 한다. 그림 3.10 은 PMOS 크기에 따라 기존의 level shifter 와 제안된 level shifter 에서 pull-up, pull-down 시 PDP 성능을 조사한 그래프이다.

아래의 그래프의 세로축은 level shifter 의 pull-up 할 때의 PDP 를 pull-down 할 때의 PDP 로 나눈 값으로, 기존의 level shifter 는 그 값이 모두 0.5 이하로 나타났다. 이는 기존의 level shifter 는 pull-up 시의 성능이 pull-down 할 때의 성능보다 더 좋은 것으로 안정적인 level shifting 이 일어난다고 볼 수 없다. 반면 제안된 level shifter 는 pull-up PDP 와 pull-down PDP 가 비교적 비슷하다고 볼 수 있어 보다 안정적이라 할 수 있다.

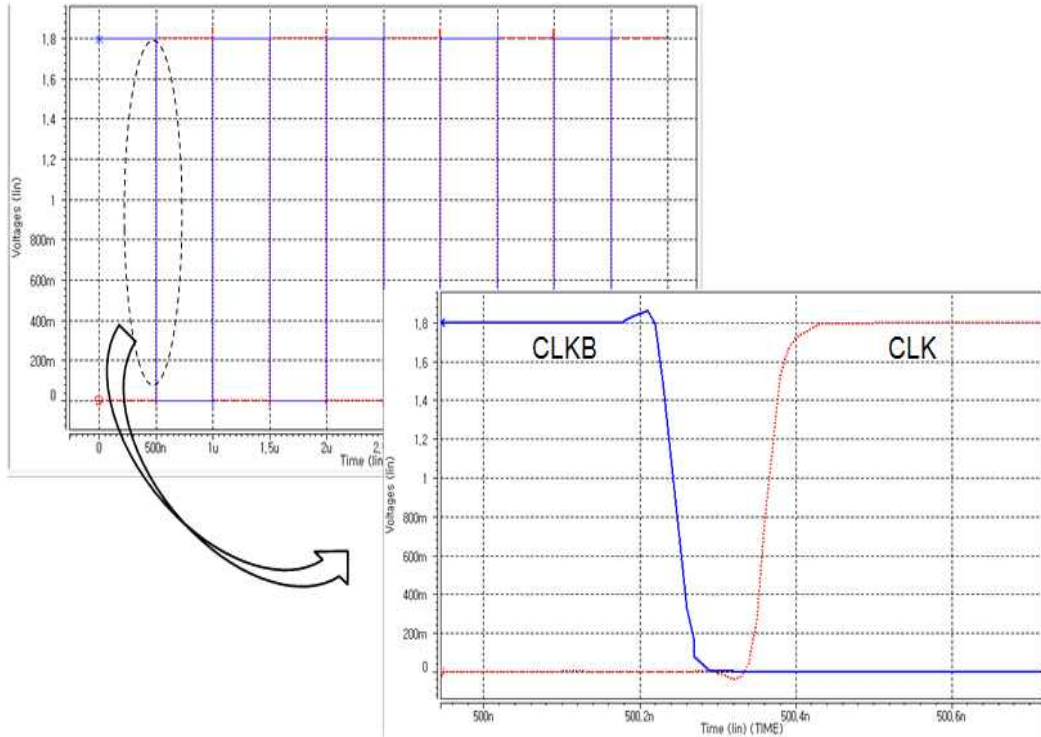


## 제 4 장 Simulation Results

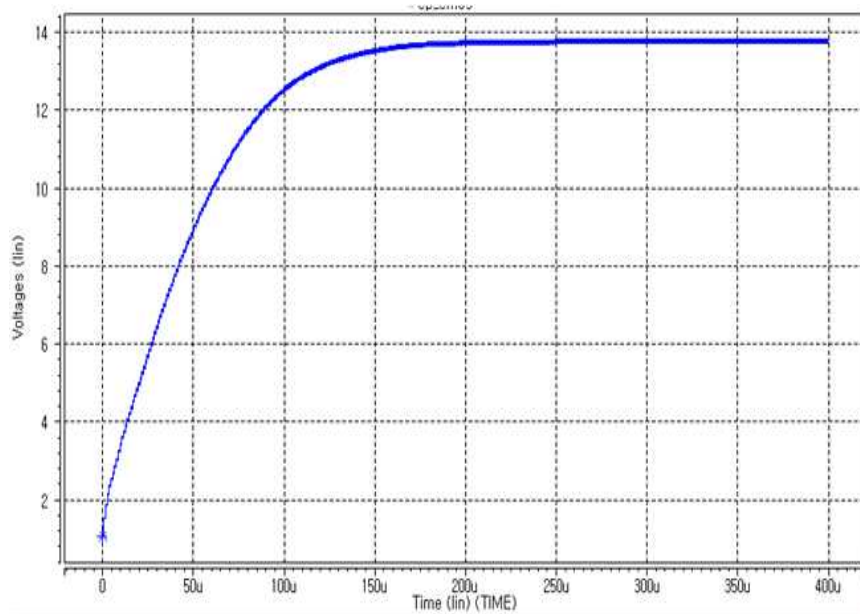
본 논문에서 제안한 voltage up-converter는 CMOS 0.18um로 설계되었고, simulation tool은 HSPICE를 이용하였다. Charge pump로 들어가는 클럭은 1MHz로 설정되었고, RFID tag의 메모리 블록에 쓰이는 평면형 floating gate type EEPROM cell을 write하기 위해 VPP 전압은 12V로 설계하였다. 각 블록들을 최적화, charge pump 블록에서는 소모 전력을 줄이기 위해 VPP 12V에서의 IPP 값을 고려하여 최적화된 stage 개수와 pumping capacitance 값을 찾았다. 또한 charge pump로 들어가는 clock인 CLK와 CLKB가 서로 overlap이 되지 않도록 하였다. 그림 4.1은 non-overlapping clock generator을 보여주며 그림 4.2는 clock generator의 CLK, CLKB의 파형을 보여주는 simulation 결과이다.







Charge pump의 전하 흐름이 한 방향으로 흐르게 하기 위해서 diode의 switch 역할을 맡고 있는 clocking 신호인 CLK와 CLKB는 반드시 서로 non-overlapping이 되어야 한다. 만약 두 clock 신호가 서로 overlap되는 구간이 존재한다면 인접한 두 diode가 켜져 reverse current가 발생하여 pump 동작이 이루어지지 않는다. 그렇기 때문에 그림 4.1에서 보는바와 같은 non-overlapping 회로가 필요로 한다. CLK, CLKB 신호가 overlap되지 않도록 inverter를 이용하여 delay를 주었고 그림 4.2에서 보는바와 같이 simulation으로 그 동작을 확인하였다. Inverter를 이용하여 충분한 delay를 주었다 하더라도 charge pump의 stage 개수가 늘어남에 따라 inverter의 loading이 늘어나 CLK, CLKB의

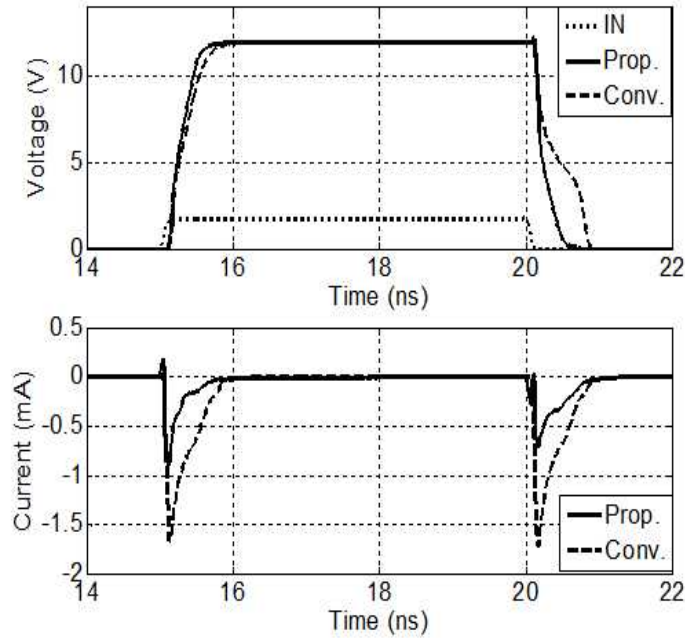


overlap 이 일어날 수 있기 때문에 충분한 크기의 버퍼를 delay inverter 뒤에 두어 설계해야 한다.

그림 4.3 은 8stage 에서 IPP 없이 pumping capacitor 1pF 일 때, NMOS type 과 CMOS type 의 charge pump simulation 결과를 보여준다.

VPP 가 12V 로 설정되어있기 때문에 charge pump 는 전하 전달능력을 고려하여 그보다 높은 전압을 발생해야 한다. 사용하고자 하는 VPP 전압에서 VPP 의 기울기가 낮다면 VPP 전압이 떨어졌을 때, 다시 VPP level 을 복구하기 위해 보다 많은 전력이 필요하기 때문에 VPP 전압에서의 기울기는 클수록 좋다.

그림 4.4는 기존의 level shifter와 제안된 level shifter의 delay특성과 전력소모를 보여주는 그림 4.4는 기존의 level shifter와 제안된 level shifter의 delay특성과 전력소모를 보여주는 simulation 결과이다.



그림에서 보는바와 같이 제안된 level shifter는 PMOS pull-up 전류를 regulation 하기 때문에 기존의 level shifter와 비교해서 delay, 전력소모 면에서 모두 개선되었고, VPP 전압이 12V에서의 PDP는 약 3.7배 우수한 것으로 나타났다.

Voltage up-converter의 charge pump, VPP detector, level shifter 블록을 각각 최적화하여 그 동작을 simulation을 통하여 검증하였다. 그림 4.5(a)는 저항 divider를 가지는 VPP detector이용한 regulated VPP를 보여주고 (b)는 제안된 RC coupled divider를 가지는 VPP detector를 이용한 regulated VPP를 보여준다.

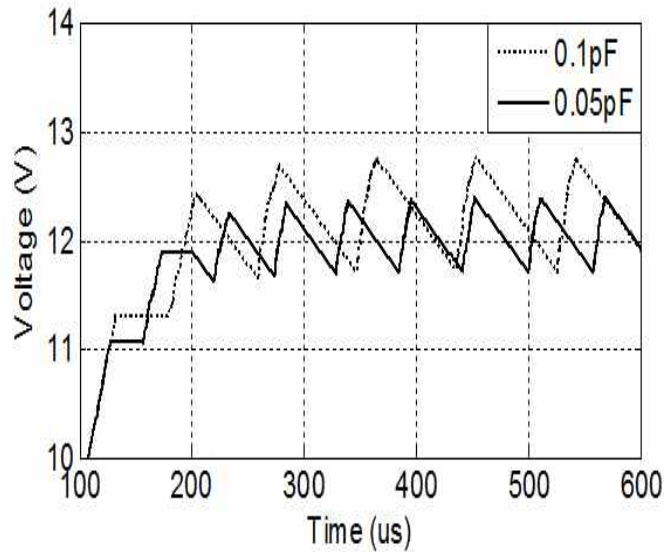
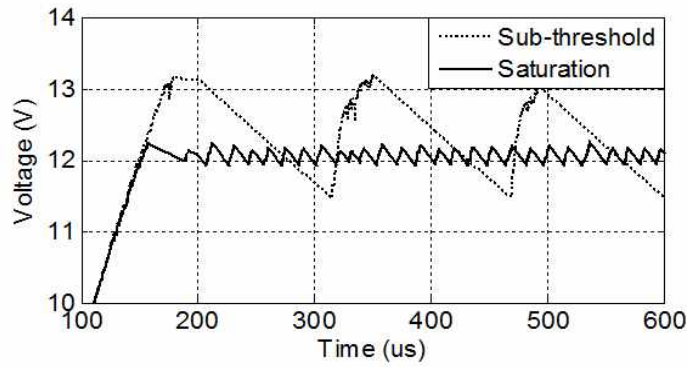
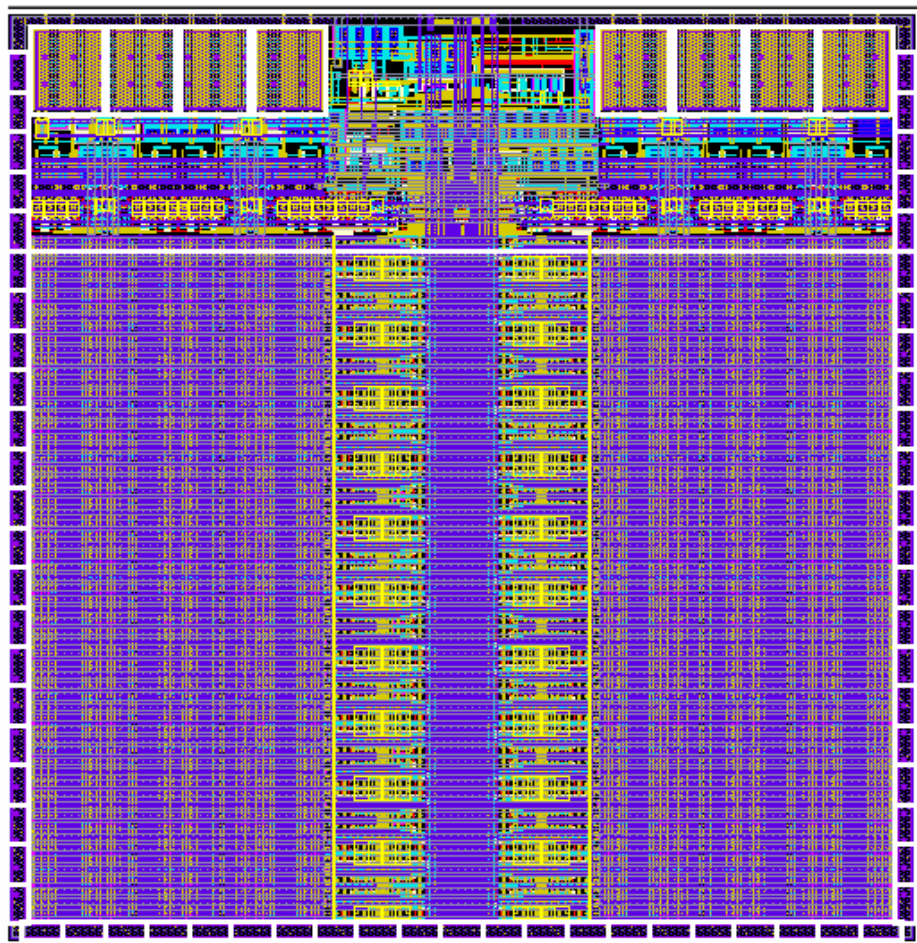


그림 4.5(a)는 divider의 트랜지스터가 sub-threshold 영역에서 동작할 때와, saturation 영역에서 동작할 때 보여주는 regulated VPP이다. Saturation 영역에서 동작할 때의 VPP는 매우 좋은 regulation 특성을 보이지만 앞장에서 설명하였듯이 VPP 누설전류가 많기 때문에 효율이 좋지 않고 sub-threshold 영역에서 동작할 때는 VPP 누설전류가 거의 없지만 반응 속도가 늦기 때문에 VPP 전압의 overshoot가 매우 크게 나타난다. 그림 4.5(b)는 히스테리시스 capacitor C\_HYST가 각각 0.1pF과 0.05pF을 가지는 제안된 VPP detector 적용한 regulated

VPP 를 보여준다. Divider 의 트랜지스터는 동작점을 맞춰주기 위해서만 필요하므로 모두 sub-threshold 영역에서 동작하고 VPP 전압의 변화는 capacitor division 을 통하여 이루어진다. 또한 RC coupled divider 를 이용한 VPP detector 을 적용한 voltage up-converter 는 히스테리시스 capacitor C\_HYST 의 크기에 따라 VPP 전압 variation 을 조절할 수 있다.

그림 4.6 제안된 voltage up-converter 을 적용한 640-bit EEPROM IP 의 칩 레이아웃을 보여준다.



## 제 5 장 결 론

본 논문은 모바일 기기나 RFID tag 등과 같은 저전력을 요구하는 EEPROM 과 같은 메모리에서 적용할 수 있는 voltage up-converter 를 제안하였다. Voltage up-converter 의 각 세 블록에서의 회로들을 최적화 하여 그 효율을 최대로 하였다. Charge pump 에서는 효율이 낮은 기존의 Dickson charge pump 가 아닌 Mohammad 가 제안한 CMOS type 의 charge pump 를 적용하여 IPP 가 1uA, 10uA 일 때, 가장 최적화된 stage 를 찾고 그에 맞는 pumping capacitor 의 크기를 결정하였다. 또한 charge pump 로부터 만들어진 VPP 전압을 효과적으로 regulate 하기 위하여 히스테리시스 capacitor 와 RC coupled divider 를 가진 VPP detector 를 제안하였다. 제안된 VPP detector 는 별도의 전력소모 없이 히스테리시스 capacitor 를 이용하여 VPP 전압 variation 을 조절가능하게 하였다. Voltage up-converter 의 부하로서 동작하는 level shifter 는 그 동작시 많은 양의 short circuit current 발생하는데, 본 논문에서는 cross-coupled PMOS 와 cascode protection NMOS 사이에 bootstrapped PMOS 를 삽입하여 short circuit current 를 없애고, delay 특성을 크게 개선시켰다. 제안된 level shifter 는 기존의 level shifter 가 가지는 해결하고 VPP 12V 에서 PDP 특성은 약 3.7 배 향상시켜 VPP power 를 20.2uW 로 줄였다.

제안된 voltage up-converter 는 0.18um mixed CMOS 공정에서 제작되어 RFID tag 용 EEPROM IP 에 적용하였다.

## 참 고 문 헌

- [1] B. Davari, R. H. Dennard and G. G. Shahidi, "CMOS scaling for high performance and low power-the next ten years," *IEEEproceeding*, vol.83,pp.595-606, (Apr. 1995)
- [2] U. Karthaus and M. Fischer, "Fully Integrated Passive UHF RFID Transponder IC with 16.7uW minimum RF input power," *IEEE J. Solid-State Circuits*, vol. 38, No. 10, pp. 1602-1608, (Oct. 2003.)
- [3] J. F. Dickson, "On-chip High-Voltage Generation in NMOS Integrated Circuits using an Improved Voltage Multiplier Technique," *IEEE J.Solid-StateCircuits*, vol. SC-11, pp. 374 - 378, (June 1976)
- [4] F. Pan and T. Samaddar, *ChargePumpCircuitDesign*, McGraw-Hill, pp. 45-57. (2006)
- [5] M. M. Ahmadi and G. Jullien, "A New CMOS Charge Pump for Low Voltage Applications," *IEEE International Symposium on Circuits and Systems*, vol. 5, pp. 4261-4264, 23-26, (May 2005)
- [6] J. -T. Wu and K. -L. Chang, "MOS charge pumps for low-voltage operation," *IEEE J.Solid-State Circuits*, vol.33,No.4,pp.592-597, (1998)
- [7] T. Tanzawa, T. Tanaka, "A Dynamic Analysis of The Dickson Charge Pump circuit", *IEEE Solid-State Circuit*, pp.1231-1240, (1976)
- [8] J. Bu, W. Belcher, C. Parker and H. Prosack, "Unique Challenges and Solutions in CMOS Compatible NVM," *Non-VolatileMemory Technology Symposium*, pp.52-54, (Nov. 2006)

- [9] G. Palumbo, D. Pappalardo, and M. Gaibotti, "Charge-pump Circuits Power-Consumption Optimization", *IEEE Transactions on Circuits and systems* pp.1535-1542 (2002)
- [10] S. Bert, S. Michieland, and D. Wim, "A High Speed, Low Voltage to High Voltage Level Shifter in Standard 1.2V 0.13um CMOS Electronics", *IEEE International Conference on Circuits and Systems*, pp.668-671 (2006)



## ABSTRACT

### Research on framework for SoC platform based camera in Linux kernel

Jang, Gil San

Department of Computer Science and Engineering

Sungkyunkwan University

This paper introduces a power efficient voltage up-converter which can be adopted for mobile electronics or RFID tag applications. The voltage up-converter consists of three functional blocks; charge pump, VPP detector, level shifter. Since the efficiency of charge pump decides the power efficiency of voltage up-converter system, we adopted CMOS type Dickson's charge pump instead of NMOS type Dickson's charge pump has low efficiency. Also, the power efficiency is analyzed optimized the charge pump for pumping cap size, stage, IPP current. The power dissipation of VPP level detector is greatly reduced by employing an RC coupled voltage divider. And using hysteresis capacitor, the VPP detector can be avoided bang-bang operation. The short circuit current of level shifter is eliminated by bootstrapping the gate nodes of stacked protection PMOSFETs. The PDP of proposed level shifter is improved 3.7 times than conventional level shifter. The voltage up-converter is implemented into a 640-bit EEPROM using 0.18um CMOS technology, and

dissipates about 20.2uW for regulated and consumption of VPP.